

COPY OF PAPERS  
ORIGINALLY FILED

2816 ✓  
PATENT  
Docket No. JCLA7288  
page 1

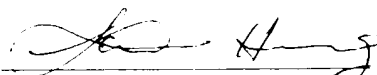
Re application of: JUNG-YU HSIEH et al.  
Application No.: 09 990,862  
Filed: November 13, 2001  
For: STRUCTURE FOR A FLASH MEMORY  
Examiner:  
  
Art Unit:

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to Assistant Commissioner for Patents, Washington, D.C. 20231, on

January 24, 2002

(Date)

  
Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

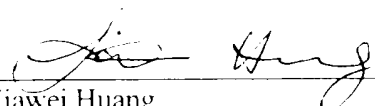
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90110698 filed on May 04, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7288). A duplicate copy of this sheet is enclosed.

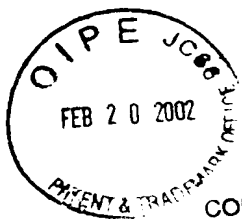
Date: 1/24/2002

By:   
Jiawei Huang  
Registration No. 43,330

Please send future correspondence to:  
J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

308 7288

09/970062



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

COPY OF PAPERS  
ORIGINALLY FILED

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder：

申請日：西元 2001 年 05 月 04 日

Application Date

申請案號：090110698

Application No.

申請人：旺宏電子股份有限公司

Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2001 年 12 月 15 日

Issue Date

發文字號：09011019266

Serial No.

申請日期	
案 號	90110048
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	快閃記憶體之結構
	英 文	
二、發明 創作人	姓 名	1 謝榮裕 2 林經祥
	國 籍	中華民國
三、申請人	住、居所	1 新竹市自由路 27 巷 49 號 3 樓 2 南投縣南投市信義街 152 巷 9 弄 21 號
	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區力行路十六號
	代 表 人 姓 名	胡定華

裝

訂

線

四、中文發明摘要（發明之名稱：

## 快閃記憶體的结构

)

一種快閃記憶體的结构，此結構包括一電子陷入層、一閘極與一源極/汲極區，其中，電子陷入層係由一第一氧化層、一高介電常數材質的介電層與一第二氧化層依序堆疊而成；而閘極係配置於電子陷入層之上；源極/汲極區則是配置於電子陷入層兩側的基底之中。

英文發明摘要（發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( / )

本發明是有關於一種記憶體的結構，且特別有關於一種快閃記憶體(Flash Memory)的結構。

近來拜可攜式電子產品需求所賜，快閃記憶體有明顯增加需求的現象，由於其技術日趨成熟，成本下降，不僅刺激購買意願，而且有新的市場應用。然近來發展的快閃記憶體結構之可電除且可編程唯讀記憶體已具有較快的存取速度，數位照相機的底片、個人隨身電子記事簿之記憶體、個人MP3隨身聽、電子答錄裝置、可程式IC等等均是快閃記憶體應用的市場。

典型的快閃記憶體係以摻雜的複晶矽製作浮置閘極(Floating Gate)與控制閘極(Control Gate)。當記憶體進行編程(Program)時，適當之編程電壓分別加到源極區、汲極區與控制閘極上，電子將由源極區經由通道(Channel)流向汲極區。在此過程中，將有部分的電子會穿過複晶矽浮置閘極層下方的遂穿氧化層(Tunneling Oxide)，進入並且會均勻分布於整個複晶矽浮置閘極層之中，此種電子穿越遂穿氧化層進入複晶矽浮置閘極層的現象，稱為穿隧效應(Tunneling Effect)。穿隧效應可以分成兩種情況，一種稱為通道熱電子注入(Channel Hot-Electron Injection)，另一種稱為 Fowler-Nordheim 穿隧(F-N Tunneling)。通常快閃記憶體是以通道熱電子編程，並且通過源極旁邊或通道區域以 Fowler-Nordheim 遂穿抹除。但是，若複晶矽浮置閘極層下方的穿隧氧化層有缺陷(Weak Point)存在，則容易造成元件的漏電流，影響元件的可靠度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(乙)

爲了解決快閃記憶體元件漏電流之問題，目前的作法是在基底上先形成一電荷陷入層(Trapping Layer)，電荷陷入層之材質是由氮化矽/氮化矽/氧化矽(Oxide-Nitride-Oxide，簡稱 ONO)複合層所構成之堆疊式(Stacked)結構，然後再於此 ONO 層上形成多晶矽閘極，最後在 ONO 層兩側之基底中形成源極區與汲極區。

因爲 ONO 電荷陷入層中的氮化矽層具有抓住電荷之效果，所以射入 ONO 層之中的電子並不會均勻分布於整個氮化矽之中，而是以高斯分布的方式集中於氮化矽的局部區域上，因此，對於氧化層其缺陷的敏感度較小，元件漏電流的現象較不易發生。而因爲電荷陷入層中主要捕捉電子的是氮化矽層，所以此種記憶體胞亦稱爲氮化矽唯讀記憶體(Silicon Nitride Read Only Memory，NROM)。

此外，ONO 電荷陷入層的優點還包括在元件編程時，電子僅會在接近源極或汲極上方的通道局部性地儲存。因此，在進行編程時，可以分別對源/汲極區以及閘極施加電壓，而在接近於另一端源/汲極區的氮化矽層中產生高斯分布的電子。所以可藉由改變閘極與其兩側之源極/汲極區所施加電壓，可以在單一的 ONO 電荷陷入層中存在兩個具有高斯分布的電子、單一個具有高斯分布的電子或是不存在電子。因此，此種以氮化矽材質做爲電荷陷入層的快閃記憶體，可以在單一的記憶體胞之中寫入四種狀態，爲一種單一記憶體二位元(1 cell 2bit)之快閃記憶體。

然而，隨著記憶體進行編程/抹除動作次數的增加，ONO

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ 3 ）

層的氧化矽層產生損傷（Damage）的情形亦隨之加重，而導致臨界電壓值（Threshold Voltage，通常以 $V_{th}$ 表示）發生變化。由於臨界電壓的改變會增加電子的漏失，而降低記憶體的资料保持特性（Data Retention），所以要如何將臨界電壓值的變化降至最低已經是刻不容緩的議題。

因此本發明之目的是提供一種快閃記憶體的結構，可以降低臨界電壓的變化量，進而提昇快閃記憶體的 Data Retention。

本發明提供一種快閃記憶體的結構，此結構包括一電子陷入層、一閘極與一源極/汲極區，其中，電子陷入層係由一第一氧化層、一高介電常數材質的介電層依序堆疊而成；而閘極係配置於電子陷入層之上；源極/汲極區則是配置於電子陷入層兩側的基底之中。此外，依照高介電常數材質的介電層的帶隙（Band Gap）大小決定電子陷入層是否需再包括一第二氧化層於高介電常數材質的介電層上，如果所使用之高介電常數介電層的 Band Gap 與氧化矽的 Band Gap 相近或更大，則不用此第二氧化層；反之，如果高介電常數介電層的 Band Gap 小於氧化矽的 Band Gap，則電子陷入層需包括此第二氧化層。所謂的高介電常數的材質係指比氮化矽/氧化矽（Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>，亦稱為 NO）高的介電常數的材料，並非為正規的名詞；而帶隙是指金屬與半導體中兩個容許電子能帶間間隙。

本發明之優點在於利用高介電常數材質作為介電層的主要材質，因此可大幅降低臨界電壓的變化值，進而提昇

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(4)

快閃記憶體之 Data Retention。

爲讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖是依照本發明一較佳實施例一種快閃記憶體之結構剖面圖。

圖式之標號說明：

100：基底

102、106：氧化層

104：高介電常數介電層

108：閘極

110：源/汲極

### 實施例

爲了使臨界電壓值的變化降至最低，本發明提供一種快閃記憶體之結構。

第1圖是依照本發明一較佳實施例一種快閃記憶體之結構剖面圖。

請參照第 1 圖，此結構包括一電子陷入層 112、一閘極 108 與一源極/汲極區 110，其相關位置爲，閘極 108 位於電子陷入層 112 之上；而源極/汲極區 110 則是配置於電子陷入層 112 兩側的基底 100 之中。其中，電子陷入層 112 係由一第一氧化層 102 與一介電層 104 依序堆疊而成，且介電層 104 之材質例如是具有高介電常數 (High Dielectric

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明（ $\zeta$ ）

Constant) 之材質。

而電子陷入層 112 中的介電層 104 之材質為何需具有高介電常數( $\epsilon$ )，其原因可從隨時間變化的臨界電壓值（以  $\Delta V_m(t)$  表示）與介電常數值的關係來看，如下式所示：

$$\Delta V_m(t) = -2.3 \frac{kT}{e\epsilon_{ONO}} \times \frac{qnN_{IT}}{2\sqrt{2mE_m}} \cdot \log t$$

式中  $\epsilon_{ONO}$  代表的是 ONO 層的介電常數； $E_m$  代表的是氧化物阱能量（Oxide Trap Energy）； $qN_{IT}$  代表的是阱充電密度（Trap Charge Density）。

因此，要降低臨界電壓的變化量  $\Delta V_m(t)$ ，則必須提昇電子陷入層 112 中的介電層 104 之介電常數，所以本發明所提供之快閃記憶體之結構，係於電子陷入層 112 中採用具有高介電常數之材料來製作電子陷入層，以降低臨界電壓的變化量，進而提昇快閃記憶體的 Data Retention。

而電子陷入層 112 中的第一氧化層 102 是用以加強基底 100 與高介電常數介電層 104 間的吸附力，以及減少缺陷（Defect）的產生。另外，如第 1 圖中所示，電子陷入層 112 更包括一第二氧化層 106 於高介電常數材質的介電層 104 上，其中，第二氧化層 106 是用以加強高介電常數介電層 104 與後續形成其上的閘極 108 間的吸附力，以及減少缺陷（Defect）的產生。

而所謂的高介電常數的材質係指介電常數比氮化矽/氧化矽（SiN/SiO<sub>2</sub>，亦稱為 NO）的介電常數高的材質，高介電常數介電層 104 例如是氧化鋁（AlO<sub>3</sub>）、氧化鈦（TiO<sub>2</sub>）、

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(6)

鋯氧化矽( $\text{ZrSiO}_4$ )、鈾氧化矽( $\text{HfSiO}_4$ )、三氧化二鋱( $\text{La}_2\text{O}_3$ )、二氧化鋯( $\text{ZrO}_2$ )、二氧化鈾( $\text{HfO}_2$ )、五氧化二釩( $\text{Ta}_2\text{O}_5$ )、氧化釷( $\text{Pr}_2\text{O}_3$ )與二氧化鈦( $\text{TiO}_2$ )，下列表一為上述介電層材質的介電常數，此外還包括  $\text{SiN}/\text{SiO}_2$ 、氧化矽( $\text{SiO}_2$ )與氮化矽( $\text{Si}_3\text{N}_4$ )的介電常數。

材質	介電常數	材質	介電常數
$\text{SiO}_2$	2.9	$\text{La}_2\text{O}_3$	20
$\text{Si}_3\text{N}_4$	7.5	$\text{ZrO}_2$	22
$\text{NO}(\text{Si}_3\text{N}_4/\text{SiO}_2)$	7~8	$\text{HfO}_2$	25
$\text{Al}_2\text{O}_3$	10	$\text{Ta}_2\text{O}_5$	26
$\text{Y}_2\text{O}_3$	12~14	$\text{Pr}_2\text{O}_3$	31
$\text{ZrSiO}_4$	12~22	$\text{TiO}_2$	80
$\text{HfSiO}_4$	15~25		

表一

由表一可知，本發明所述之高介電常數介電質的介電常數係高於  $\text{SiN}/\text{SiO}_2$  的介電常數值 8。另外，本實施例之高介電常數介電層 104 還可以例如是上述各高介電常數材質的混合物或是上述各高介電常數材質的堆疊層 (Stack Layer)。因為利用高介電常數的材質作為介電層的材質，所以可以大幅降低臨界電壓 (Threshold Voltage) 的變化值，進而提昇快閃記憶體的資料保持特性 (Data Retention)。

另外，依照所使用的高介電常數介電層 104 材質的帶隙 (Band Gap) 大小可決定是否於高介電常數介電層 104 上更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

包括第二氧化層 106，如果所使用的介電層 104 的帶隙與氧化矽的帶隙相近或更大，則不用此第二氧化層 106；反之，如果介電層 104 的帶隙小於氧化矽的帶隙，則需再包括第二氧化層 106。下列表二為本實施例所使用之介電層 104 材質的帶隙值，此外還包括氧化矽 (SiO<sub>2</sub>) 與氮化矽 (Si<sub>3</sub>N<sub>4</sub>) 的帶隙值。

材質	帶隙(eV)	材質	帶隙(eV)
SiO <sub>2</sub>	9	La <sub>2</sub> O <sub>3</sub>	4
Si <sub>3</sub> N <sub>4</sub>	5.3	ZrO <sub>2</sub>	7.8
Al <sub>2</sub> O <sub>3</sub>	8.0	HfO <sub>2</sub>	6
Y <sub>2</sub> O <sub>3</sub>	5.6	Ta <sub>2</sub> O <sub>5</sub>	4.4
ZrSi <sub>2</sub> O <sub>7</sub>	6.5	Pr <sub>2</sub> O <sub>3</sub>	-
HfSi <sub>2</sub> O <sub>7</sub>	6.5	TiO <sub>2</sub>	2.3

表 二

如果介電層 104 的帶隙與習知使用的氧化矽層相近或更大，則介電層 104 可取代習知形成於介電層上的氧化層，並具有相同的功效。

本發明的特徵在於利用高介電常數介電質作為介電層的主要材質，因此可大幅降低臨界電壓的變化值，進而提高快閃記憶體之 Data Retention，所以不但效率可以提高，而且達到增快速度的作用。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明( 8 )

和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

1. 一種快閃記憶體之結構，包括：
  - 第一氧化層，其位於一基底上；
  - 高介電常數介電層，其位於該第一氧化層上；
  - 第二氧化層，其位於該高介電常數介電層上，並與該第一氧化層、該高介電常數介電層形成一電荷陷入層；
  - 閘極，配置於該電荷陷入層之該第二氧化層上；以及
  - 源/汲極區，位於該電荷陷入層兩側之該基底內。
2. 如申請專利範圍第 1 項所述之快閃記憶體之結構，其中該高介電常數介電層之帶隙值小於氧化矽之帶隙值。
3. 如申請專利範圍第 1 項所述之快閃記憶體之結構，其中該高介電常數介電層之介電常數大於 8。
4. 如申請專利範圍第 1 項所述之快閃記憶體之結構，其中該高介電常數介電層之材質係選自於氧化鋁，氧化釔，銻氧化矽，鉛氧化矽，三氧化二鎢，二氧化銻，二氧化鉛，五氧化二鉍，氧化鎢與二氧化鈦所組成之族群其中之一。
5. 如申請專利範圍第 1 項所述之快閃記憶體之結構，其中該高介電常數介電層之材質係選自於氧化鋁，氧化釔，銻氧化矽，鉛氧化矽，三氧化二鎢，二氧化銻，二氧化鉛，五氧化二鉍，氧化鎢與二氧化鈦所組成之混合物族群的其中之一。
6. 如申請專利範圍第 1 項所述之快閃記憶體之結構，其中該高介電常數介電層係選自於氧化鋁，氧化釔，銻氧化矽，鉛氧化矽，三氧化二鎢，二氧化銻，二氧化鉛，五氧

## 六、申請專利範圍

化二鉍，氧化鎢與二氧化鈦所組成的堆疊層族群其中之

7. 一種快閃記憶體的结构，包括：
- 一第一氧化層，其位於一基底上；
  - 一高介電常數介電層，其位於該第一氧化層上，並與該第一氧化層形成一電荷陷入層；
  - 一閘極，配置於該電荷陷入層之該高介電常數介電層上；以及

一源/汲極區，位於該電荷陷入層兩側之該基底內。

8. 如申請專利範圍第7項所述之快閃記憶體的结构，其中該高介電常數介電層的帶隙值大於氧化矽的帶隙值。

9. 如申請專利範圍第7項所述之快閃記憶體的结构，其中該高介電常數介電層的帶隙值等於氧化矽的帶隙值。

10. 如申請專利範圍第7項所述之快閃記憶體的结构，其中該高介電常數介電層的材質係選自於氧化鋁，氧化鉍，鎢氧化矽，鉛氧化矽，三氧化二鎢，二氧化鎢，二氧化鉛，五氧化二鉍，氧化鎢與二氧化鈦所組成之族群其中之一。

11. 如申請專利範圍第7項所述之快閃記憶體的结构，其中該高介電常數介電層的材質係選自於氧化鋁，氧化鉍，鎢氧化矽，鉛氧化矽，三氧化二鎢，二氧化鎢，二氧化鉛，五氧化二鉍，氧化鎢與二氧化鈦所組成之混合物族群的其中之一。

12. 如申請專利範圍第10項所述之快閃記憶體的结构，其中該高介電常數介電層係選自於氧化鋁，氧化鉍，鎢氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

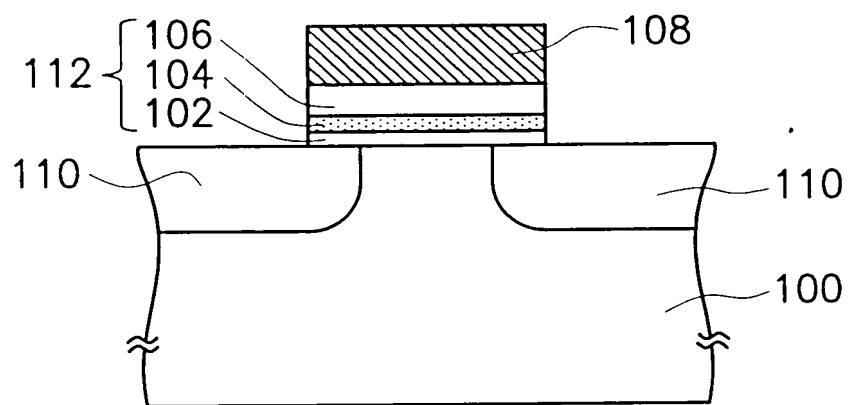
砷，鉛氧化砷，三氧化二鋁，二氧化鋁，三氧化鉛，五氧化二鉍，氧化鋁與二氧化鈦所組成的堆疊層族群其中之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



第 1 圖